

Résumé de la notice HDR de Yoann CHARLON

Depuis mon recrutement à Polytech'Lab, mes travaux de recherche s'inscrivent dans le domaine de la conception de circuits intégrés en technologies CMOS avancées, en particulier en UTBB-FDSOI 28 nm. Mon activité scientifique s'est structurée autour d'une problématique centrale : comment concevoir des circuits capables d'apporter une intelligence utile et sobre au plus près du terrain ?

Un premier axe concerne la conception de circuits analogiques, RF et mixtes à faible consommation et faible surface silicium. Dans ce contexte, l'UTBB-FDSOI 28 nm constitue un support privilégié, car la polarisation de grille arrière offre un degré de liberté supplémentaire de conception (body-biasing). Cette approche a été appliquée à plusieurs fonctions intégrées, notamment des cellules analogiques auto-adaptatives, des oscillateurs contrôlés, ainsi qu'un circuit de récupération d'horloge à verrouillage par injection. Ces travaux montrent l'intérêt de ce levier technologique pour renforcer la robustesse des blocs analogiques face aux variations PVT et au mismatch, tout en préservant leur sobriété énergétique et leur compacité.

Un second axe porte sur des fonctions de traitement embarqué et d'intelligence artificielle au plus près du capteur. Ces travaux explorent des architectures matérielles sobres pour le traitement local de l'information, notamment dans le cadre d'une application NIALM (Non-Intrusive Appliance Load Monitoring) pour le bâtiment intelligent, qui vise à désagréger les usages électriques à partir d'une mesure globale de consommation. Dans ce cas également, l'exploitation de la grille arrière permet d'ajuster finement le comportement électrique des cellules, afin de réduire leur consommation et leur surface d'intégration, tout en ouvrant la voie à des circuits dédiés à l'IA embarquée frugale.

Ces deux axes mettent en évidence un fil directeur commun : exploiter les degrés de liberté offerts par la grille arrière pour concilier faible consommation, robustesse technologique et réduction de la surface silicium. Ce positionnement constitue le cœur de mon projet HDR : développer des circuits sobres et compacts, capables d'assurer un traitement local de l'information pour l'IoT et l'IA embarquée.

Ces recherches menées à Polytech'Lab sont complétées par des collaborations industrielles, notamment avec STMicroelectronics, autour de problématiques de conception intégrée, de robustesse et de calibration sur puce. Les travaux sur les oscillateurs quartz basse consommation et sur la calibration d'étages de sortie USB illustrent cette articulation entre recherche académique et contraintes industrielles. Même lorsqu'ils ne reposent pas directement sur la grille arrière, ces travaux prolongent la même démarche : concevoir des circuits robustes, sobres, compacts et compatibles avec les exigences industrielles.